

REGISTRO DELLE LEZIONI

- 01.I.1/ore 1-2** – *Lunedì 23 settembre 2019 (2 ore)* ♣ Introduzione al corso: Reti Logiche (prima parte) e Microprocessori (seconda parte). Potenze di due. Significato dell'esponenziale in informatica. Enumerazione di funzioni booleane di k variabili. Le sedici funzioni di due variabili. Porte logiche elementari. Uguaglianza di due parole binarie.
- 02.II.1/ore 3-5** – *Lunedì 30 settembre 2019 (3 ore)* ♣ Riconoscimento di configurazioni binarie. Elementi neutri e forzanti nell'algebra di Boole. Leggi di De Morgan. Rappresentazione naturale di interi non negativi. Colloquio CPU-Memoria. Espressione della dimensione della memoria. Spazio di indirizzamento. Localizzazione di parole in memoria. Espansione di memoria: dati, indirizzi. "Chip select". Asserimento di segnali: logica positiva e negativa. Costruzione di un banco di memoria con chip uguali tra loro. Decoder binario.
- 03.II.2/ore 6-7** – *Martedì 1 ottobre 2019 (2 ore)* ♣ Memoria: architettura vs organizzazione. Suddivisione logica di un indirizzo in campi di bit. Interlacciamento della memoria.
- 04.III.1/ore 8-10** – *Lunedì 7 ottobre 2019 (3 ore)* ♣ . Esercizio d'esame: costruzione di un banco di memoria con chip eterogenei. Alcune proprietà dell'algebra di Boole. Forme canoniche SP e PS. Semplificazione di espressioni booleane. Mappe di Karnaugh. Multiplexer come estensione del decoder. Sintesi combinatoria con multiplexer.
- 05.III.2/ore 11-12** – *Martedì 8 ottobre 2019 (2 ore)* ♣ L'aritmetica attraverso la logica. Comparatore. Logica del Full adder. Esercizio: ottenimento del bit di somma dal riporto negato.
- 06.IV.1/ore 13-15** – *Lunedì 14 ottobre 2019 (3 ore)* ♣ Memoria vs calcolo. Sommatore "ripple carry". Sommatore sequenziale. Sommatore basato su ROM. Tabella di verità per l'addizione a due bit. Somma di interi in complemento a due. Estensione di segno. Cambio di segno. Complemento a due "veloce". Overflow: detection e correction. Signed comparisons e ALU flags. Esercizio: calcolo dell'indirizzo di un salto relativo.
- 07.IV.2/ore 16-17** – *Martedì 15 ottobre 2019 (2 ore)* ♣ ALU: versione base e versione estesa. Codifica di segnali mutuamente esclusivi. Soluzione di equazioni logiche (Raymond Smullyan).
- 08.V.1/ore 18-20** – *Lunedì 21 ottobre 2019 (3 ore)* ♣ Reti sequenziali: generalità. Schema a blocchi generale di una rete sequenziale. Equazioni caratteristiche. Diagramma degli stati. Macchine di Mealy e di Moore. Reti sincrone: il clock. Registro contatore. Progetto di un contatore up modulo 8. Progetto di un contatore up/down modulo 5.
- 09.V.2/ore 21-22** – *Martedì 22 ottobre 2019 (2 ore)* ♣ Latch di NOR: analisi del funzionamento, tabella di verità, equazione caratteristica, diagramma. Schema del flip-flop SR. Derivazione degli altri flip-flop: D, JK, T.
- 10.VI.1/ore 23-25** – *Lunedì 28 ottobre 2019 (3 ore)* ♣ Esercizio d'esame: analisi di una macchina basata su FF JK e sua risintesi "monoblocco" in termini di FF D. Simulazione del suo funzionamento con diagramma temporale (commutazione sui fronti). Registri: di stato, dati. Aggiunta di ingressi per estensione delle funzionalità.
- 11.VI.2/ore 26-27** – *Martedì 29 ottobre 2019 (2 ore)* ♣ Costruzione di una macchina autonoma da due non autonome come caso particolare dell'accoppiamento di due macchine. Sequencers ed importanza della funzione d'uscita. Sintesi "vincolata" all'uso di un particolare tipo di FF: la tabella delle eccitazioni. Registro a scorrimento.
- 12.VII.1/ore 28-30** – *Lunedì 4 novembre 2019 (3 ore)* ♣ Moltiplicazione di interi non negativi: algoritmo, schema circuitale (parte operativa), segnali di controllo. versione base e migliorata (con ripercussioni sulla parte operativa). Soluzione con i clock sfasati. Diagramma temporale.

- 13.VII.2/ore 31-32** – *Martedì 5 novembre 2019 (2 ore)* ♣ Riepilogo della procedura di sintesi “parte operativa e parte di controllo”. Realizzazione del controllo con MPX.
- 14.VIII.1/ore 33-35** – *Lunedì 11 novembre 2019 (3 ore)* ♣ Macchine di Turing dedicate. Funzionalità di base. Rappresentazione tramite “quintuple”. Forma normale, descrizione standard, description number. Esempio: il contatore.
- 15.VIII.2/ore 36-37** – *Martedì 12 novembre 2019 (2 ore)* ♣ La Macchina di Turing Universale come modello per il microprocessore. Macchine universali pratiche: bilanciamento tra hardware e software. Set istruzioni: complesso (CISC) o ridotto (RISC). Opcode. Prelievo (“fetch”) ed esecuzione di istruzioni. Modello di Von Neumann. CPU a singolo bus interno: percorso di un’istruzione dalla memoria al registro di istruzione (IR). Registri di CPU: register file, 3-state buffer. Automa di esecuzione per ADD R1,R2,R3.
- 16.IX.1/ore 38-40** – *Lunedì 18 novembre 2019 (3 ore)* ♣ Livelli di programmazione: alto livello (machine-independent), assembly (machine-dependent), microprogrammazione (livello del controllo). Codifica delle istruzioni di macchina. Operandi impliciti. Modi di indirizzamento. Esempio: codifica dell’istruzione ADD op1,op2,op3 in una macchina di tipo CISC. Duplicazione di risorse e parallelismo per migliorare le prestazioni: il caso dei tre bus interni.
- 17.IX.2/ore 41-42** – *Martedì 19 novembre 2019 (2 ore)* ♣ Esercizio: progetto della sezione di parte operativa a singolo bus interno e automa di controllo per l’esecuzione dell’istruzione ADD regS1,regS2,dest (con dest esprimibile secondo vari modi di indirizzamento). Cicli di macchina, di bus e di wait.
- 18.X.1/ore 43-45** – *Lunedì 25 novembre 2019 (3 ore)* ♣ CPU Intel 8086: modello di programmazione. Organizzazione della memoria: “little-endian” vs “big-endian”. Programma ASM86 d’esempio: accumulazione degli elementi di un vettore di interi. Stack: regole e convenzioni, uso tipico, passaggio parametri, “stack frame”. Versione “chiamante e subroutine” del programma d’esempio precedente.
- 19.X.2/ore 46-47** – *Martedì 26 novembre 2019 (2 ore)* ♣ Esercizio d’esame: programma ASM86 che trova il max in un vettore di interi di lunghezza 1 word (=2 bytes). Istruzioni di confronto: distruttive vs non distruttive. Fetch istruzioni in una macchina CISC: sezione di parte operativa e automa di controllo. Salti: assoluti vs relativi, condizionati vs non condizionati (con aggiornamento della parte operativa per il fetch).
- 20.XI.1/ore 48-50** – *Lunedì 2 dicembre 2019 (3 ore)* ♣ Memorie: classificazione e gerarchia. Integrato DRAM: elemento di memoria, rinfresco, bus multiplexing, tempo d’accesso, piedinatura, operazioni di lettura/scrittura. SRAM: caratteristiche e impiego. Memoria cache a mappatura diretta: suddivisione logica dell’indirizzo in tre campi distinti, descrizione dettagliata del funzionamento.
- 21.XI.2/ore 51-52** – *Martedì 3 dicembre 2019 (2 ore)* ♣ Prestazioni: tempo di esecuzione, benchmarks, legge di Amdhal. RISC vs CISC. RISC: architettura (es. ARM, MIPS) vs organizzazione (es. multiciclo, pipeline).
- 22.XII.1/ore 53-54** – *Lunedì 9 dicembre 2019 (2 ore)* ♣ Confronto di prestazioni tra organizzazioni RISC: monociclo vs multiciclo vs pipeline. CPU: unità di controllo cablata vs microprogrammata.
- 23.XII.2/ore 55-56** – *Martedì 10 dicembre 2019 (esercitazione facoltativa, 2 ore)* ♣ Esercizio d’esame: progetto completo di una macchina per il calcolo del Massimo Comun Divisore (MCD). Controllo: prima versione (parzialmente scorretta), seconda versione (corretta).
- 24.XIII.2/ore 57-59** – *Lunedì 16 dicembre 2019 (esercitazione facoltativa, 3 ore)* ♣ Esercizi d’esame del 16/1/2019 (progetto di un sequencer attraverso l’accoppiamento di una macchina data con una da sintetizzare), e del 15/4/2019 (sezione di parte operativa e controllo per l’esecuzione di un’istruzione di caricamento dati con diversi modi di indirizzamento). Dall’esercitazione del 13/12/2016: programma ASM86 per la moltiplicazione di due interi non negativi a 8 bit secondo l’algoritmo visto nella lezione del 4/11/2019.