

Compito dell'8 luglio 2019

Cognome e Nome dello studente:

Microprocessore Prima di eseguire il fetch istruzioni, l'unità di controllo di un microprocessore CISC a singolo bus interno con dati e indirizzi a 32 bit campiona la linea *intR*. Se la trova asserita, preleva dal registro di macchina dedicato `intTYPE` l'intero naturale $n \in [0, 255]$ in esso contenuto, e lo usa per accedere in memoria all'indirizzo $I(n) = I_0 + 4n$, dove I_0 è un indirizzo di base contenuto nel registro di macchina dedicato `intTAB`. All'indirizzo $I(n)$ l'unità di controllo legge l'indirizzo $J(n)$ di una subroutine, a cui saltare attraverso l'equivalente di un'istruzione `call`. Il funzionamento descritto sopra è riassumibile in modo informale come segue:

if *intR* then `call` < subroutine > ,

dove l'indirizzo della subroutine è nella cella di memoria $[\text{intTAB} + 4 \times \text{intTYPE}]$.

Dopo aver disegnato la sezione di parte operativa strettamente necessaria, disegnare l'automa di controllo relativo all'esecuzione della sequenza di operazioni sopra descritta, evidenziando con chiarezza e completezza ingressi e uscite della parte di controllo in ogni stato (ciò sarà alla base della soluzione dell'esercizio successivo).

Reti sequenziali Progettare l'hardware di controllo per l'automa disegnato nell'esercizio precedente (dell'automa deve fare parte anche lo stato di rientro al fetch) secondo il classico schema "monoblocco": funzione di transizione di stato f , registro di stato M , funzione di uscita g (macchina di Moore). In particolare, specificare la funzione f attraverso il metodo orientato alla sintesi con multiplexer, cioè scrivendo una diversa tabella per ciascuno stato S_i dell'automa ($i = 1 \dots n$, con n numero degli stati della macchina). La tabella i -sima deve specificare lo stato futuro in funzione dei soli ingressi campionati in S_i .