

CORSO DI LAUREA IN INGEGNERIA INFORMATICA

Calcolatori Elettronici — a.a. 2016–2017

**Compito dell'8 febbraio 2017**

Cognome e Nome dello studente:

---

**Reti Logiche e Assembler**

- Progettare, col metodo parte operativa & parte di controllo, una macchina sequenziale che consenta di ottenere in uscita il quoziente  $q$  (8 bit) e il resto  $r$  (8 bit) della divisione tra gli interi senza segno  $a$  e  $b$  forniti in ingresso ( $a = qb + r$ ,  $r < b$ ) attraverso sottrazioni ripetute del divisore  $b$  (8 bit) dal dividendo  $a$  (16 bit).
- Scrivere un ciclo in assembly 8086 che, adoperando l'algoritmo di cui sopra, calcoli la divisione tra AX e BL, ponendo i risultati in CL e DL, rispettivamente ( $AX = CL*BL + DL$ ).

**Microprocessore** Un microprocessore byte addressable a singolo bus interno con dati e indirizzi a 16 bit, annovera nel suo instruction set l'istruzione

`scanvect reg, vect`

che confronta il contenuto del registro `reg` (il micro ne annovera otto) con tutti gli elementi del vettore `vect`. Il vettore, espresso con modo di indirizzamento diretto di memoria o indiretto di registro, può contenere interi a 8 o a 16 bit, a seconda di come è stato definito. Qualora contenga byte, per i confronti verrà utilizzata la metà meno significativa del registro `reg`. Il numero  $n$  di elementi del vettore è contenuto nel registro `R5` (operando implicito). L'istruzione termina al primo esito di confronto positivo, nel quale caso riporta in `R5` la posizione (tra 0 e  $n - 1$ ) dell'elemento che corrisponde, altrimenti esce al termine degli  $n$  confronti e non sovrascrive `R5`. Dopo aver disegnato la sezione di parte operativa strettamente necessaria, fornire una codifica plausibile dell'istruzione e disegnare l'automa di controllo ad essa relativo.