

REGISTRO SINTETICO DELLE LEZIONI

- 01.I.1/ore 1-2** – Lunedì 21 settembre 2015 (2 ore) ♣ Introduzione: architettura e organizzazione
- 02.I.2/ore 3-5** – Martedì 22 settembre 2015 (3 ore) ♣ Parole binarie e rappresentazione degli interi
- 03.I.3/ore 6-7** – Giovedì 24 settembre 2015 (2 ore) ♣ Organizzazione della memoria: dati, indirizzi
- 04.II.1/ore 8-9** – Lunedì 28 settembre 2015 (2 ore) ♣ Banco di memoria, decoder
- 05.II.2/ore 10-12** – Martedì 29 settembre 2015 (3 ore) ♣ Funzioni logiche elementari, comparatore
- 06.II.3/ore 13-14** – Giovedì 1° ottobre 2015 (2 ore) ♣ Multiplexer
- 07.III.1/ore 15-16** – Lunedì 5 ottobre 2015 (2 ore) ♣ Algebra booleana e forme canoniche
- 08.III.2/ore 17-19** – Martedì 6 ottobre 2015 (3 ore) ♣ Incremento e decremento
- 09.III.3/ore 20-21** – Giovedì 8 ottobre 2015 (2 ore) ♣ Somma a 2 bit, ROM
- 10.IV.1/ore 22-23** – Lunedì 12 ottobre 2015 (2 ore) ♣ Full adder, sommatore ripple-carry
- 11.IV.2/ore 24-26** – Martedì 13 ottobre 2015 (3 ore) ♣ Addizione di interi con segno
- 12.IV.3/ore 27-28** – Giovedì 15 ottobre 2015 (2 ore) ♣ ALU
- 13.V.1/ore 29-30** – Lunedì 19 ottobre 2015 (2 ore) ♣ Macchine sequenziali, Mealy vs Moore
- 14.V.2/ore 31-33** – Martedì 20 ottobre 2015 (3 ore) ♣ Latch e flip-flop, analisi di macchine
- 15.V.3/ore 34-35** – Giovedì 22 ottobre 2015 (2 ore) ♣ Tipologie di automi, sintesi “monoblocco”
- 16.VI.1/ore 36-37** – Lunedì 26 ottobre 2015 (2 ore) ♣ Registri (di stato, dati, contatori, a scorrimento)
- 17.VI.2/ore 38-40** – Martedì 27 ottobre 2015 (3 ore) ♣ Sintesi “parte operativa/parte di controllo”
- 18.VI.3/ore 41-42** – Giovedì 29 ottobre 2015 (2 ore) ♣ Moltiplicazione intera: progetto base+migliorato
- 19.VII.1/ore 43-44** – Lunedì 2 novembre 2015 (2 ore) ♣ Progetto del controllo con multiplexer
- 20.VII.2/ore 45-46** – Giovedì 5 novembre 2015 (2 ore) ♣ Esercizio d’esame: calcolo del MCD
- 21.VIII.1/ore 47-48** – Lunedì 9 novembre 2015 (2 ore) ♣ Esercizio d’esame: logaritmo intero
- 22.VIII.2/ore 49-51** – Martedì 10 novembre 2015 (3 ore) ♣ Turing, macchine dedicate e universali
- 23.VIII.3/ore 52-53** – Giovedì 12 novembre 2015 (2 ore) ♣ CPU a singolo bus interno
- 24.IX.1/ore 54-55** – Lunedì 16 novembre 2015 (2 ore) ♣ Codifica ed esecuzione delle istruzioni
- 25.IX.2/ore 56-58** – Martedì 17 novembre 2015 (3 ore) ♣ Esercizio d’esame, fetch delle istruzioni
- IX.3** – Giovedì 19 novembre 2015 (4 ore) ♣ Prova in itinere (Reti Logiche)
- 26.X.1/ore 59-60** – Lunedì 23 novembre 2015 (2 ore) ♣ Prestazioni, RISC vs CISC, legge di Amdhal
- 27.X.2/ore 61-63** – Martedì 24 novembre 2015 (3 ore) ♣ Hardware 8086
- 28.X.3/ore 64-65** – Giovedì 26 novembre 2015 (2 ore) ♣ Set istruzioni 8086 e loro codifica
- 29.XI.1/ore 66-67** – Lunedì 30 novembre 2015 (2 ore) ♣ Software 8086, stack e sottoprogrammi
- 30.XI.2/ore 68-70** – Martedì 1° dicembre 2015 (3 ore) ♣ Assembler, linker, loader. Programmi d’esempio
- 31.XI.3/ore 71-72** – Giovedì 3 dicembre 2015 (2 ore) ♣ I/O: interfacce, program-controlled I/O
- 32.XII.1/ore 73-75** – Mercoledì 9 dicembre 2015 (3 ore) ♣ Interrupt-based I/O
- 33.XII.2/ore 76-77** – Giovedì 10 dicembre 2015 (2 ore) ♣ Il sistema delle interruzioni
- 34.XIII.1/ore 78-79** – Lunedì 14 dicembre 2015 (2 ore) ♣ DMA. Esercizi d’esame
- 35.XIII.2/ore 80-81** – Martedì 15 dicembre 2015 (2 ore) ♣ Gerarchia di memoria, cache
- 36.XIII.3/ore 82-84** – Mercoledì 16 dicembre 2015 (3 ore) ♣ Esercitazione d’esame facoltativa